

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2003143003 A

(43) Date of publication of application: 16.05.03

(51) Int. Cl

H03K 19/0185
H03K 17/16
H03K 17/687

(21) Application number: 2001335676

(71) Applicant: YAMAHA CORP

(22) Date of filing: 31.10.01

(72) Inventor: KURATA MITSUHIRO

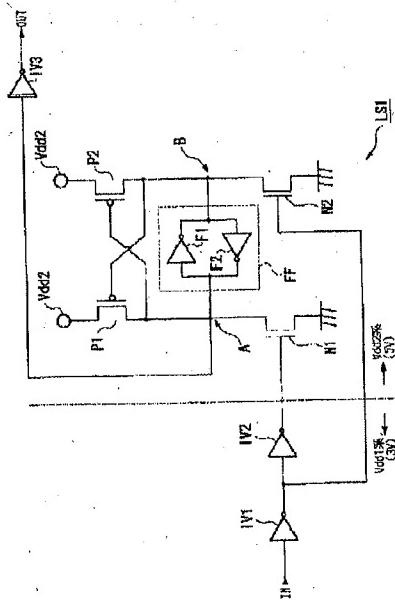
(54) LEVEL SHIFT CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a level shift circuit, which prevents a through-current from generating in a circuit at a latter stage, due to shifting to a middle level, even when the drop in the power voltage for giving an input signal level.

SOLUTION: Flip-flops FF are connected to nodes A, B as a level holder circuit on current paths between loading PMOS transistors P1, P2 forming a level shift stage and a driving NMOS transistors N1, N2. This lowers the voltage of a power source Vdd1 sufficiently to keep the level on the nodes A, B, and will not go to an intermediate level, even if the on-resistances of the NMOS transistors N1, N2 are increased, resulting in not going to the intermediate level. Thus, the through-current due to shifting to the middle level is prevented.

COPYRIGHT: (C)2003,JPO



P 43960DE

(3)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-143003

(P2003-143003A)

(43) 公開日 平成15年5月16日 (2003.5.16)

(51) Int.Cl.⁷
H 03 K 19/0185
17/16
17/687

識別記号

F I.
H 03 K 17/16
19/00
17/687

テマコート⁸ (参考)
L 5 J 0 5 5
1.0 1 E 5 J 0 5 6
A

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願2001-335676(P2001-335676)

(22) 出願日 平成13年10月31日 (2001.10.31)

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 倉田 充浩

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人 100064908

弁理士 志賀 正武 (外1名)

F ターム(参考) 5J055 AX27 BX16 CX24 DX22 EX03

EX07 EX25 EY21 FX05 FX12

GX01 GX05

5J056 AA00 AA32 BB19 CC21 DD13

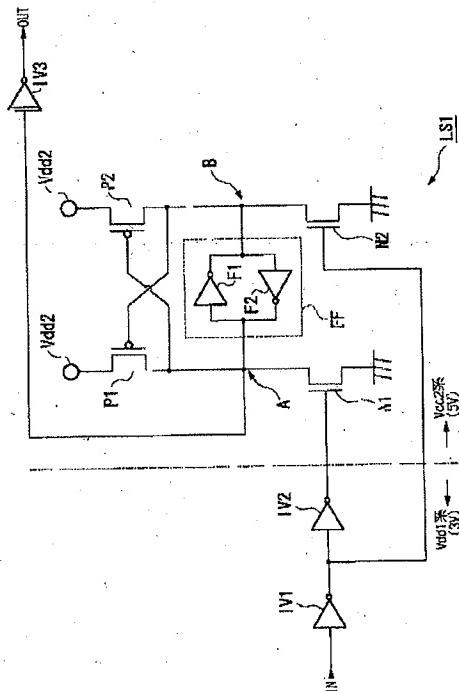
DD29 FF08 GG09 KK01

(54) 【発明の名称】 レベルシフト回路

(57) 【要約】

【課題】 入力側の信号レベルを与える電源電圧が低下しても、中間レベルに起因して後段側の回路で発生する貫通電流を防止することができるレベルシフト回路を提供すること。

【解決手段】 レベルシフト段を構成する負荷用のPMOSトランジスタP1, P2と駆動用のNMOSトランジスタN1, N2との間の電流経路上のノードA, Bに、レベルホールダ回路としてフリップフロップFFを接続する。これにより、電源Vdd1の電圧が低下することにより、NMOSトランジスタN1, N2のオン抵抗が上昇しても、ノードA, Bのレベルが維持され、中間レベルとなることに起因する貫通電流が防止される。



【特許請求の範囲】

【請求項1】 第1の信号レベルを有する第1の信号を入力し、該第1の信号を前記第1の信号レベルとは異なる第2の信号レベルを有する第2の信号に変換するレベルシフト回路において、

前記第2の信号レベルを与える電源にソースが接続され、ゲートとドレインとが互いに交差接続された1対の負荷用の第1導電型MOSトランジスタと、

前記1対の第1導電型のMOSトランジスタの各ドレンと接地との間に電流経路が接続され、前記第1の信号レベルを有する信号をゲートに受けて相補的に導通する1対の駆動用の第2導電型MOSトランジスタと、前記負荷用の第1導電型MOSトランジスタと前記駆動用の第2導電型MOSトランジスタとの間の電流経路上のノードに接続されたレベルホルダ回路と、を備えたことを特徴とするレベルシフト回路。

【請求項2】 前記レベルホルダ回路は、前記第2の信号レベルを与える電源の供給を受けて動作するフリップフロップから構成されたことを特徴とする請求項1に記載されたレベルシフト回路。

【請求項3】 前記フリップフロップの電流駆動能力は、前記駆動用の第2導電型MOSトランジスタの電流駆動能力よりも小さく設定されたことを特徴とする請求項2に記載されたレベルシフト回路。

【請求項4】 前記フリップフロップの電流駆動能力は、前記負荷用の第1導電型MOSトランジスタおよび前記駆動用の第2導電型MOSトランジスタから構成される回路系のスイッチング動作を阻害しないことを限度として大きく設定されたことを特徴とする請求項2に記載されたレベルシフト回路。

【請求項5】 前記レベルホルダ回路は、ゲートとドレインとが互いに交差接続され、前記1対の負荷用の第1導電型MOSトランジスタと共にフリップフロップを形成する1対の第2導電型MOSトランジスタから構成されたことを特徴とする請求項1に記載されたレベルシフト回路。

【請求項6】 前記1対の駆動用の第2導電型MOSトランジスタのゲートに与えられる各信号レベルが共に該第2導電型MOSトランジスタのゲート閾値電圧を越えた場合に前記レベルホルダ回路の動作を補助する補助手段を更に備えたことを特徴とする請求項1ないし5の何れかに記載されたレベルシフト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電源電圧が異なる2つの回路系の間で信号レベルをシフトさせ、一方の回路系の信号を他方の回路系に適合した信号に変換するレベルシフト回路に関する。

【0002】

【従来の技術】 図5に、従来技術に係るレベルシフト回

路の構成例を示す。同図に示す例は、3Vの信号レベルを有する信号INを入力して、5Vの信号レベルを有する信号OUTを出力するものであって、3Vの電源Vdd1で動作するVdd1系の回路部分と、5Vの電源Vdd2で動作するVdd2系の回路部分とから構成される。この例では、Vdd1系の回路部分は、信号INの相補信号を生成するためのインバータIV1, IV2から構成され、また、Vdd2系の回路部分は、このレベルシフト回路の主要部分をなすレベルシフト段LSと、波形整形用のインバータIV3から構成される。

【0003】 さらに構成を具体的に説明する。Vdd1系の回路部分を構成するするインバータIV1, IV2は、3Vの電源Vdd1で動作するCMOS(Complementary Metal Oxide Semiconductor)構成のインバータであって、このうち、インバータIV1の入力部には外部から信号INが与えられ、このインバータIV1の出力部にはインバータIV2の入力部が接続される。これにより、信号INの逆信号(反転信号)がインバータIV1の出力部に現れ、信号INの同信号がインバータIV2の出力部に現れるようになっており、信号INの相補信号が得られるようになっている。

【0004】 一方、レベルシフト段LSは、負荷として機能するPチャネル型のMOS電界効果トランジスタ(以下、PMOSトランジスタと称す)P1, P2と、この負荷を駆動するためのnチャネル型のMOS電界効果トランジスタ(以下、NMOSトランジスタと称す)N1, N2とから構成される。PMOSトランジスタP1, P2の各ソースは電源Vdd2に接続され、これらPMOSトランジスタP1, P2の各ゲートとドレインは互いに交差接続される。即ち、PMOSトランジスタP1のゲートはPMOSトランジスタP2のドレインに接続され、このPMOSトランジスタP2のゲートはPMOSトランジスタP1のドレインに接続される。

【0005】 また、NMOSトランジスタN1, N2の各ドレインは、ノードA, Bを介して上述のPMOSトランジスタP1, P2の各ドレインにそれぞれ接続され、NMOSトランジスタN1, N2の各ソースは接地される。NMOSトランジスタN1のゲートには、インバータIV2から信号INの同信号が与えられ、NMOSトランジスタN2のゲートには、インバータIV1から信号INの逆信号が与えられる。即ち、これらNMOSトランジスタN1, N2の各ゲートには、互いに相補関係にある信号(相補信号)が与えられ、これらMOSトランジスタは相補的に導通するようになっている。

【0006】 また、PMOSトランジスタP1のドレインとNMOSトランジスタN1のドレインとの間の電流経路上のノードAには、電源Vdd2で動作するCMOS構成のインバータIV3の入力部が接続され、このノードAに現れる信号の反転信号がインバータIV3から

信号OUTとして出力されるようになっている。

【0007】上述のVdd1系をなすインバータIV1, IV2と、Vdd2系をなすレベルシフト段LSおよびインバータIV3には、0Vの接地電位が共通に供給され、この接地電位はVdd1系およびVdd2系の各信号レベルに対する基準電位を与える。即ち、信号INを含むVdd1系の信号は接地電位を基準とする3Vの信号レベルを有し、信号OUTを含むVdd2系の信号は接地電位を基準とする5Vの信号レベルを有している。

【0008】次に、このレベルシフト回路の動作を説明する。まず、信号INがロウレベル(0V)の場合、Vdd1系のインバータIV1およびインバータIV2は、それぞれ3Vおよび0Vの信号レベルを出力する。従って、Vdd2系のNMOSトランジスタN1およびN2の各ゲートには0Vおよび3Vの信号レベルがそれぞれ与えられ、NMOSトランジスタN1がオフ状態となり、NMOSトランジスタN2がオン状態となる。

【0009】この結果、ノードBがロウレベルに駆動され、このノードBにゲートが接続されたPMOSトランジスタP1がオン状態となる。このとき、NMOSトランジスタN1はオフ状態にあるから、ノードAはPMOSトランジスタP1によりハイレベル(5V)に駆動され、このノードAにゲートが接続されたPMOSトランジスタP1がオフ状態となる。インバータIV3は、ノードAのハイレベル(5V)を受けてロウレベルの信号OUTを出力する。

【0010】これに対し、信号INがハイレベル(3V)の場合、Vdd1系のインバータIV1およびインバータIV2は、上述の場合とは逆にそれぞれ0Vおよび3Vの信号レベルを出力する。従ってこの場合、上述の場合とは逆にNMOSトランジスタN1がオン状態となり、NMOSトランジスタN2がオフ状態となる。この結果、ノードAがロウレベル(0V)に駆動され、このノードAのロウレベルを受けてインバータIV3がハイレベル(5V)の信号OUTを出力する。上述のように、このレベルシフト回路によれば、3Vの信号レベルを有する信号INが、5Vの信号レベルを有する信号OUTに変換される。従って、異なる電源で動作する回路系の間で信号の受け渡しが可能になる。

【0011】ここで、PMOSトランジスタP1とNMOSトランジスタN1に着目すると、信号INがロウレベル(0V)の区間ではNMOSトランジスタN1がオフ状態となり、逆に信号INがハイレベル(3V)の区間ではPMOSトランジスタP1がオフ状態となる。従って、これらのトランジスタを介して電源Vdd2と接地と間に貫通電流が流れることはない。同様に、PMOSトランジスタP2とNMOSトランジスタN2についても何れか一方がオフ状態になるので、これらのトランジスタを介して貫通電流が流れることがない。即ち、信

号INの信号レベルがロウレベルまたはハイレベルに確定していれば、レベルシフト段LSにおいて貫通電流が生じることなく、信号レベルが変換される。

【0012】

【発明が解決しようとする課題】近年、携帯機器に代表されるように、電子機器に対する省電力化の要請が厳しくなり、そのような要請に対応する必要上、使用状態にない回路ブロックの電源を遮断することが行われている。このような技術動向を踏まえて上述の従来技術に係るレベルシフト回路を検討すると、例えば省電力化のために電源Vdd1が遮断され、電源Vdd1の電圧が低下した場合、レベルシフト段LS内のノードAの電圧が中間レベルとなり、このレベルシフト段LSにおいて貫通電流が発生すると共に、ノードAに入力部が接続されたインバータIV3において貫通電流が発生し得るという問題がある。以下、この貫通電流の発生メカニズムについて、電源Vdd1が低下する過程での状態と、接地電位付近にまで低下した状態に分けて説明する。

【0013】まず、電源Vdd1が低下する過程での発生メカニズムを説明する。説明の便宜上、電源Vdd1が低下を開始する直前の初期状態において、NMOSトランジスタN1がオン状態(ゲート電圧；3V)にあり、NMOSトランジスタN2がオフ状態(ゲート電圧；0V)にあるものとする。この初期状態から電源Vdd1が低下を開始すると、電源Vdd1の低下に伴って、オン状態にあるNMOSトランジスタN1のオン抵抗が上昇するため、ノードAの電圧が徐々に上昇する。これを受けて、ノードAにゲートが接続されたPMOSトランジスタP2のオン抵抗が上昇し、ノードBの電圧が徐々に下降する。このノードBの電圧下降を受けて、オフ状態にあるPMOSトランジスタP1が微弱なオン状態に移行し、ノードAを中間レベルに引き上げる。こうして、PMOSトランジスタP1～ノードA～NMOSトランジスタN1を経由する電流パスが電源Vdd2と接地との間に形成され、レベルシフト段LSにおいて貫通電流が発生する。また、ノードAが中間レベルとなるので、この中間レベルを入力するCMOS構成のインバータIV3においても貫通電流が発生することとなる。

【0014】また、何らかの原因でNMOSトランジスタN1, N2の双方がオン状態になった場合も貫通電流が発生し得る。即ち、この場合、ノードA, Bの信号レベルが共に低下し、これをゲートに受けるPMOSトランジスタP1, P2が何れもオン状態となる。結局、PMOSトランジスタP1, P2およびNMOSトランジスタN1, N2の全てがオン状態となり、ノードA, Bの信号レベルは、各トランジスタのオン抵抗に応じた中間レベルとなり、これを入力するインバータIV3において貫通電流が発生する。

【0015】このようにNMOSトランジスタN1, N

2が共にオン状態になる場合としては、電源Vdd1の電圧が低下することにより、インバータIV1, IV2の出力が不確定となる場合が挙げられる。即ち、電源Vdd1が低下すると、MOSトランジスタのゲート閾値電圧に起因して、インバータIV1, IV2を構成するPMOSトランジスタおよびNMOSトランジスタが共にオフ状態になる場合が起こり得る。この結果、インバータIV1, IV2の各出力信号が不確定となって共にハイレベルになる場合が生じ、これをゲートで受けるNMOSトランジスタN1, N2の双方がオン状態になる。このような現象は、電源Vdd1の電圧が低下する過程において、インバータIV1, IV2を構成するMOSトランジスタのゲート閾値電圧付近にまで電源Vdd1が低下した場合に顕著となる。

【0016】次に、電源Vdd1が接地電位に安定し、インバータIV1, IV2の出力部の信号レベルが概ね接地電位に安定した状態での貫通電流の発生メカニズムを説明する。この状態では、NMOSトランジスタN1, N2が共にオフ状態に安定する。従って、例えばノードAの信号レベルに応じてPMOSトランジスタP2がオン状態となってノードBの信号レベルが電源Vdd2にまで上昇し、これをゲートで受けるPMOSトランジスタP1がオフ状態に固定される場合が起こり得る。この場合、ノードAがフローティング状態となって中間レベルに安定し得るため、インバータIV3において貫通電流が定常的に発生し得る状態となる。

【0017】この発明は、上記事情に鑑みてなされたもので、入力側の信号レベルを与える電源電圧が低下しても、中間レベルに起因して後段側の回路で発生する貫通電流を防止することができるレベルシフト回路を提供することを目的とする。

【0018】

【課題を解決するための手段】上記課題を解決するため、この発明は以下の構成を有する。すなわち、請求項1に記載された発明は、第1の信号レベルを有する第1の信号を入力し、該第1の信号を前記第1の信号レベルとは異なる第2の信号レベルを有する第2の信号に変換するレベルシフト回路において、前記第2の信号レベルを与える電源にソースが接続され、ゲートとドレインとが互いに交差接続された1対の負荷用の第1導電型MOSトランジスタと、前記1対の第1導電型のMOSトランジスタの各ドレインと接地との間に電流経路が接続され、前記第1の信号レベルを有する信号をゲートに受けて相補的に導通する1対の駆動用の第2導電型MOSトランジスタと、前記負荷用の第1導電型MOSトランジスタと前記駆動用の第2導電型MOSトランジスタとの間の電流経路上のノードに接続されたレベルホルダ回路と、を備えたことを特徴とする。

【0019】請求項2に記載された発明は、請求項1に記載されたレベルシフト回路において、前記レベルホル

ダ回路が、前記第2の信号レベルを与える電源の供給を受けて動作するフリップフロップから構成されたことを特徴とする。請求項3に記載された発明は、請求項2に記載されたレベルシフト回路において、前記フリップフロップの電流駆動能力が、前記駆動用の第2導電型MOSトランジスタの電流駆動能力よりも小さく設定されたことを特徴とする。請求項4に記載された発明は、請求項2に記載されたレベルシフト回路において、前記フリップフロップの電流駆動能力が、前記負荷用の第1導電型MOSトランジスタおよび前記駆動用の第2導電型MOSトランジスタから構成される回路系のスイッチング動作を阻害しないことを限度として大きく設定されたことを特徴とする。

【0020】請求項5に記載された発明は、請求項1に記載されたレベルシフト回路において、前記レベルホルダ回路が、ゲートとドレインとが互いに交差接続され、前記1対の負荷用の第1導電型MOSトランジスタと共にフリップフロップを形成する1対の第2導電型MOSトランジスタから構成されたことを特徴とする。請求項6に記載された発明は、請求項1ないし5の何れかに記載されたレベルシフト回路において、前記1対の駆動用の第2導電型MOSトランジスタのゲートに与えられる各信号レベルが共に該第2導電型MOSトランジスタのゲート閾値電圧を越えた場合に前記レベルホルダ回路の動作を補助する補助手段を更に備えたことを特徴とする。

【0021】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1に、本発明の実施の形態に係るレベルシフト回路の構成を示す。同図において、前述の図5に示す要素と共にする要素には同一符号を付す。本実施の形態に係るレベルシフト回路は、3Vの信号レベルを有する信号を入力し、これを5Vの信号レベルを有する信号に変換して出力するものである。構成上の特徴としては、図5に示す従来回路のレベルシフト段LSに対し、フリップフロップFFを有するレベルシフト段LS1を備え、このフリップフロップFFは、レベルホルダ回路として機能する。その他の構成は上記従来回路と同様である。

【0022】以下、具体的に構成を説明する。レベルシフト段LS1は、負荷用のPMOSトランジスタP1, P2と、駆動用のNMOSトランジスタN1, N2と、上述のフリップフロップFFとから構成される。PMOSトランジスタP1, P2の各ソースは5Vの信号レベルを与える電源Vdd2に接続され、それらの各ドレインはノードA, Bにそれぞれ接続され、ドレインとゲートとは互いに交差接続されている。NMOSトランジスタN1, N2の電流経路は、ノードA, Bと接地との間に接続され、3Vの信号レベルをインバータIV1, IV2からゲートで受けて上述の負荷用のPMOSトラン

ジスタP1, P2を駆動する。

【0023】また、レベルホールダ回路を構成するフリップフロップFFの一方の安定ノードはノードAに接続され、その他方の安定ノードはノードBに接続される。このフリップフロップFFは、CMOS構成のインバータF1, F2の入力部と出力部とを相互に接続して構成されたもので、5Vの信号レベルを与える電源Vdd2の供給を受けて動作する。このフリップフロップFFの電流駆動能力は、駆動用のNMOSトランジスタN1, N2の各電流駆動能力よりも小さく設定されている。具体的には、フリップフロップFF内のインバータF1, F2をCMOS構成するPMOSトランジスタおよびNMOSトランジスタのうち、特に電源Vdd2の信号レベルを出力するPMOSトランジスタの電流駆動能力が小さく抑制されている。

【0024】次に、図2に示す波形図を参照しながら、本実施の形態に係る信号レベルシフト回路の動作について、電源Vdd1が何らかの原因で低下した場合を説明する。なお、説明の便宜上、信号INはハイレベルに固定されているものとする。電源Vdd1が3Vにある場合、インバータIV1, IV2は正常に動作し、NMOSトランジスタN1のゲートにはハイレベル(3V)が与えられ、NMOSトランジスタN2のゲートにはロウレベル(0V)が与えられる。これにより、NMOSトランジスタN1がオン状態となり、NMOSトランジスタN2がオフ状態となる。

【0025】ここで、フリップフロップFFの電流駆動能力は、NMOSトランジスタN1, N2に対して小さく設定されているのであるから、このフリップフロップFFの安定状態に規制されることなく、オン状態のNMOSトランジスタN1はノードAをロウレベルに駆動する。この結果、PMOSトランジスタP2がオン状態となり、ノードBをハイレベル(5V)に駆動する。これを受けてPMOSトランジスタP1がオフ状態となり、ノードAがロウレベルに安定する。インバータIV3は、ノードAの信号レベルを受けてハイレベル(5V)の信号OUTを出力する。

【0026】上述の状態から、図2の最上段に示すように、電源Vdd1が3Vから徐々に低下する場合を考える。ただし、説明の便宜上、電源Vdd1の電圧低下に伴って、インバータIV1, IV2の動作が不安定となって出力が不確定な状態となり、これらインバータの出力信号が共に電源Vdd1と略等しくなって低下するものとする。この場合、インバータIV1, IV2の出力信号をゲートで受けるNMOSトランジスタN1, N2と負荷用のPMOSトランジスタP1, P2が共にオン状態となり、これらのオン抵抗に応じてノードA, Bが共に中間レベルに移行しようとする。このとき、フリップフロップFFは、それまでのノードA, Bの信号レベルを保持するように作用する。

【0027】ここで、電源Vdd1が降下する過程において、電源Vdd1の電圧が比較的高い領域では、NMOSトランジスタN1, N2のゲート電圧は共に高く、そのオン抵抗が小さい状態にある。このため、当初、レベルシフト段LS1においてノードA, Bは共に中間レベルとなる。このとき、図2の最下段に示すように、電源Vdd1が低下してノードA, Bが中間レベルになつた時刻t1で、レベルシフト段LS1およびインバータIV3における貫通電流iが発生する。

【0028】しかし、電源Vdd1の電圧低下に伴ってインバータIV1, IV2の出力の信号レベルが低下すると、これをゲートで受けるNMOSトランジスタN1, N2のオン抵抗が徐々に高くなるため、レベルシフト段LS1での貫通電流成分が徐々に抑制される。これに加えて、NMOSトランジスタN1, N2のオン抵抗が徐々に高くなるため、フリップフロップFFの電流駆動能力がNMOSトランジスタN1, N2に対して大きくなり、このフリップフロップFFによりノードAがロウレベルに引き戻され、ノードBがハイレベルに引き戻される。これにより、ノードA, Bの信号レベルが中間レベルから脱し、ノードAの信号レベルを入力するインバータIV3での貫通電流成分が抑制される。さらに、電源Vdd1が接地電位付近にまで低下すると、NMOSトランジスタN1, N2が共にオフ状態となるため、レベルシフト段LS1での貫通電流成分が完全に遮断され、図2の最下段に示す貫通電流iが略ゼロに収束する。

【0029】参考までに、図5に示す貫通電流の波形例を図2の中段に示す。この従来技術によれば、電源Vdd1が低下する過程においては、ノードA, Bが中間レベルとなり、電源Vdd1が接地電位付近に安定した後は、ノードA, Bがフローティング状態となる。したがって、NMOSトランジスタN1, N2がオフ状態となった後もノードA, Bの信号レベルが中間レベルに維持される場合がある。この場合、インバータIV3の貫通電流は依然として残り、図2の中段に示すように、貫通電流iは定常的に流れ続ける。

【0030】ただし、NMOSトランジスタN1, N2がオフ状態になった後、フローティング状態にあるノードBの信号レベルが何らかの要因によりロウレベルに安定すると、PMOSトランジスタP1がオン状態に固定されるため、ノードAの信号レベルがハイレベルとなり、これを入力するインバータIV3では貫通電流が発生しない。従って、このような場合には、図2の中段に波線で示すように貫通電流iは略ゼロに収束する。しかしながら、このように貫通電流がゼロに収束するためには、NMOSトランジスタN1, N2がオフ状態となり、かつ、ノードBがロウレベルにならなければ起こり得ず、しかも、そのような保障はない。従って、製品の仕様上、貫通電流が定常的に存在する状態(図2の中段

に実線で示す波形図)を前提とする必要がある。

【0031】これに対し、この実施の形態1では、NMOSトランジスタN1, N2がオフ状態になる前であっても、フリップフロップFFによりノードA, Bの信号レベルが増幅されて元のレベルに回復するので、インバータINV3での貫通電流が早期に抑制され、最終的には貫通電流iは確実にゼロに収束する。図2に示す例では、従来技術において貫通電流iがゼロに収束する場合に比較して、この実施の形態1によれば、貫通電流iが時間t sだけ早い時刻にゼロに確実に収束する。従つて、この実施の形態1によれば、インバータINV3での貫通電流は、電源Vdd1が低下する過程で一時的にしか発生し得ず、しかも製品の仕様上、定的な貫通電流を考慮する必要がない。

【0032】ここで、フリップフロップFFの電流駆動能力について補足説明しておく。上述のように、ノードA, Bの信号レベルを早期に回復させる点に着目すれば、フリップフロップFFの電流駆動能力は大きいほど好ましい。しかし、信号INの変化に基づくレベルシフト段LS1のスイッチング動作に着目すれば、フリップフロップFFはスイッチング動作を妨げる方向に作用するので、フリップフロップFFの電流駆動能力は小さい方が好ましい。そこで、この実施の形態1では、上述のように、レベルシフト段LS1のスイッチング動作を優先させるものとし、フリップフロップFFの電流駆動能力を小さく抑えるものとしている。

【0033】しかしながら、レベルシフト段LS1のスイッチング動作を阻害しないことを限度として、フリップフロップFFの電流駆動能力を極力大きく設定してもよい。これにより、一層早い時刻に上述の貫通電流iをゼロに収束させることができくなる。なお、ここで言うスイッチング動作の阻害とは、例えば、スイッチング動作そのものが不能になり、ノードAとノードBの信号レベルが反転しなくなる場合や、スイッチング動作に要する時間(スイッチング速度)が所望のタイミングを満足しない場合などを含む。ただし、何をスイッチング動作の阻害とするかは、設計仕様に応じて任意に定義し得る事項である。

【0034】(実施の形態2)以下、この発明の実施の形態2を説明する。図3に、この実施の形態2に係るレベルシフト回路の構成を示す。このレベルシフト回路は、上述の実施の形態1に係る図1に示す構成において、フリップフロップFFからPMOSトランジスタを削除して得られたものである。具体的には、レベルホールダ回路として、1対のNMOSトランジスタN21, N22を備え、これらNMOSトランジスタN21, N22は、ゲートとドレインとが互いに交差接続され、負荷用の1対のPMOSトランジスタP1, P2と共にフリップフロップを形成する。その他の構成は前述の図5に示す構成と同様である。

【0035】また、この実施の形態2では、上述の実施の形態1において説明したように、貫通電流を早期にゼロに収束させるために、NMOSトランジスタN21, N22の電流駆動能力を大きく設定する。上述の実施の形態1では、フリップフロップFFのPMOSトランジスタが駆動用のNMOSトランジスタN1, N2の負荷となるため、このNMOSトランジスタN1, N2との関係から電流駆動能力が制限された。しかし、この実施の形態2では、NMOSトランジスタN21, N22は駆動用のNMOSトランジスタN1, N2の負荷にはならないので、その意味では、NMOSトランジスタN21, N22の電流駆動能力を無制限に大きく設定することも原理的には許容される。ただし、PMOSトランジスタP1, P2とNMOSトランジスタN21, N22とから形成されるフリップフロップの安定状態を反転させ得る程度に、駆動用のNMOSトランジスタN1, N2の電流駆動能力が確保されていることを条件とする。

【0036】次に、この実施の形態2の動作を説明する。この実施の形態では、NMOSトランジスタN21, N22から構成されるレベルホールダ回路は、ノードA, Bをハイレベルに駆動するデバイス(PMOSトランジスタ)を備えていないので、ノードA, Bの中間レベルをハイレベルに回復させる作用を有しない点を除けば、上述の実施の形態1と動作は同様である。即ち、例えば信号INがハイレベルにあるときは電源Vdd1が低下する過程において、NMOSトランジスタN1, N2が共にオン状態になると、ノードBが中間レベルに移行しようとするため、ノードAがロウレベルから中間レベルに移行しようとする。このとき、ノードBのハイレベルをゲートに受けるNMOSトランジスタN21によりノードAがロウレベルに戻される。従つて、ノードAの信号レベルを入力するインバータINV3の貫通電流の発生が抑制される。また、回復したノードAの信号レベルをゲートに受けるPMOSトランジスタP2によりノードBの信号レベルがハイレベルに回復されるので、最終的には、レベルシフト段LS1における貫通電流も抑制される。上述したように、この実施の形態2によれば、レベルホールダ回路の構成素子数を削減することができ、構成を簡略化することができる。

【0037】(実施の形態3)図4に、この発明の実施の形態3に係るレベルシフト回路の構成を示す。上述の実施の形態1, 2では、スイッチング動作を阻害しないように、フリップフロップFFやNMOSトランジスタN1, N2の電流駆動能力を適切に設定する必要があったが、この実施の形態3では、電流駆動能力が関係を配慮する必要のない構成としている。具体的には、電源Vdd1が低下する過程においてNMOSトランジスタN1, N2が共にオン状態となった場合にノードA, Bの信号レベルをロウレベルに駆動するためのNMOSトランジスタN311, N322と、電源Vdd1が充分に

低い電圧に安定した状態において、ノードA, Bのロウレベルを保持するためのNMOSトランジスタN321, N322を備える。ただし、NMOSトランジスタN321, N322の電流駆動能力は大きく設定され、NMOSトランジスタN311, N312の電流駆動能力は、ノードA, Bのロウレベルを維持し得る限度において可能な限り小さく設定される。

【0038】この構成を言い換えれば、上述の実施の形態2において、レベルホールダ回路を構成するNMOSトランジスタN21, N22の電流駆動能力を小さく抑えてNMOSトランジスタN311, N312とし、このトランジスタを補助するための手段としてNMOSトランジスタN321, N322, N331, N332からなる補助回路(符号なし)を備える。ここで、NMOSトランジスタN331, N332は、駆動用のNMOSトランジスタN1, N2のゲートに与えられる各信号レベルが共に該第2導電型MOSトランジスタのゲート閾値電圧を越えたことを検出するための検出手段として機能するものであり、NMOSトランジスタN321, N322は、NMOSトランジスタN311, N312からなるレベルホールダ回路の電流駆動能力を見かけ上増加させるためのものである。このNMOSトランジスタN311, N312は、駆動用のNMOSトランジスタN1, N2が共にオン状態になる場合にのみ活性状態となる。

【0039】本実施の形態3によれば、電源Vdd1が低下する過程で駆動用のトランジスタN1, N2が共にオン状態になる場合において、NMOSトランジスタN311, N312に対してNMOSトランジスタN321, N322がそれぞれ並列接続される。従って、見かけ上、NMOSトランジスタN311, N312の電流能力が強化され、ノードA, Bの信号レベルがロウレベルに早期に回復される。また、電源Vdd1の電圧が十分に低下した状態では、NMOSトランジスタN331, N332がオフ状態となるため、上述の補助回路が非活性状態となり、NMOSトランジスタN311, N312のみにより信号レベルの保持が行われる。また、

通常のスイッチング動作の過程においては、信号のスキーの存在により、検出手段としてのNMOSトランジスタN332, N331が瞬時にオン状態になる場合があるが、事実上、電流駆動能力の極めて小さなNMOSトランジスタN311, N312のみが機能する。従って、PMOSトランジスタP1, P2およびNMOSトランジスタN1, N2からなる回路系のスイッチング動作を阻害することはない。

【0040】以上、この発明の一実施形態を説明したが、この発明は、この実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があつても本発明に含まれる。

【0041】

【発明の効果】以上説明したように、本発明によれば以下の効果を得ることができる。即ち、中間レベルが現れるべきノードにレベルホールダ回路を接続して備えたので、入力側の信号レベルを与える電源電圧が低下しても、内部に中間レベルが発生することに起因して後段側の回路で発生する貫通電流を抑制し防止することができる。

【図面の簡単な説明】

【図1】 この発明の実施形態1に係るレベルシフト回路の構成を示すブロック図である。

【図2】 この発明の実施形態1に係るレベルシフト回路の動作を説明するための波形図である。

【図3】 この発明の実施形態2に係るレベルシフト回路の構成を示すブロック図である。

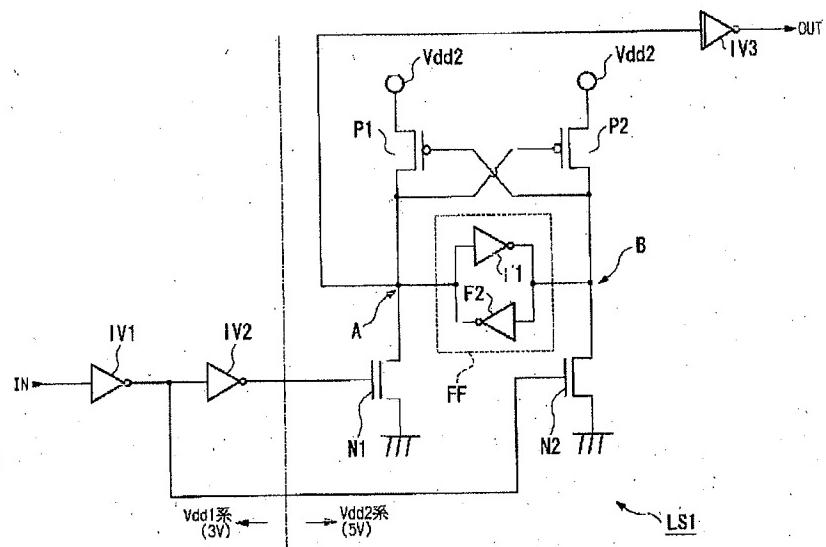
【図4】 この発明の実施形態3に係るレベルシフト回路の構成を示すブロック図である。

【図5】 従来技術に係るレベルシフト回路の構成を示す図である。

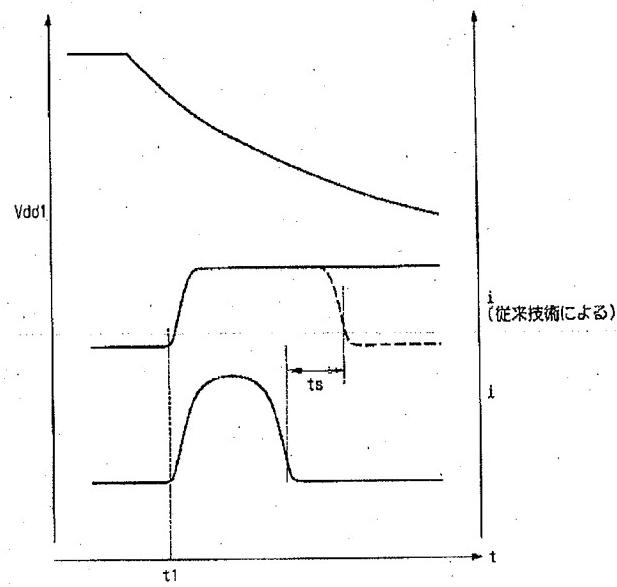
【符号の説明】

I V1~IV3, F1, F2…インバータ、LS1…レベルシフト段、P1, P2…PMOSトランジスタ、N1, N2, N21, N22, N311, N312, N321, N322…NMOSトランジスタ、FF…フリップフロップ。

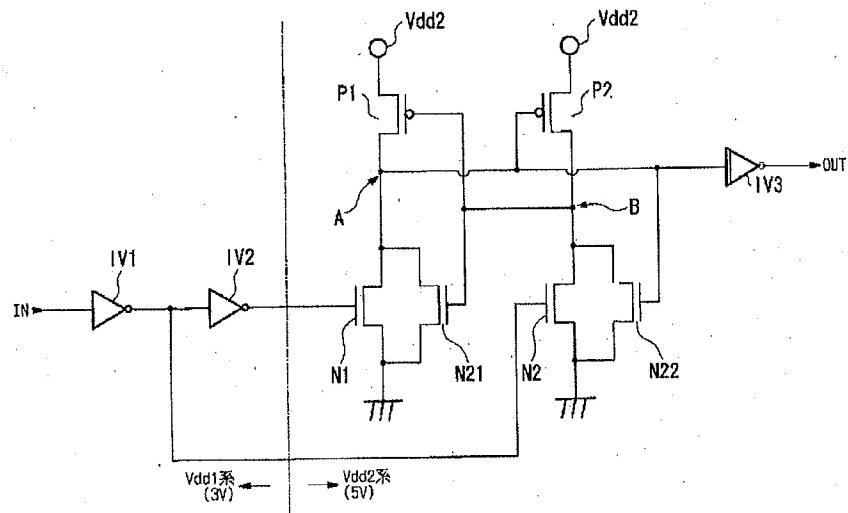
【図1】



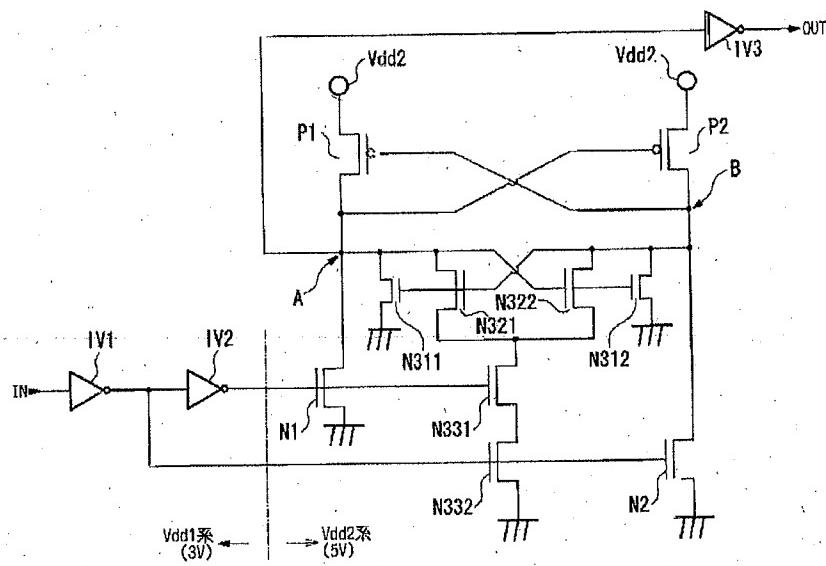
【図2】



【図3】



【図4】



【図5】

